

(19) 日本国特許庁

## 公開特許公報

(11) 特開昭 51-5061G

(13) 公開日 昭51(1976)5.4

(12) 特願昭 50-100878

(22) 出願日 昭50(1975)8.26

審査請求 未請求 (全16頁)

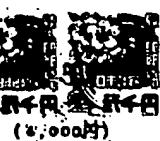
庁内整理番号

7046 56  
7164 56

(52) 日本分類

P717C1P  
P717C61

(51) Int.C12

G11C 11/34  
G11C 19/28

優先権主張  
アメリカ合衆国  
1974年9月9日  
出願番号第5060878号

特許願

(特許法第88条ただし書の規定による特許出願)

昭和50年8月26日

特許庁長官

1. 発明の名称  
ストアされたデータをリフレッシュする方法  
およびデータストレージ装置
2. 特許請求の範囲に記載された発明の数 8
3. 発明者  
住所 アメリカ合衆国、ニューヨーク州、ピスカタウェイ  
ロイヤル・ドライブ 87、アーモンド 487  
氏名 ゴーダバリッシュ・ペニグラヒ
4. 特許出願人  
住所 アメリカ合衆国、ミシガン州、デトロイト  
パロース・ブレイズ、無番地  
名称 パロース・コーポレーション  
代表者 ボール・ダブリュ・ハイクシ  
国籍 アメリカ合衆国
5. 代理人  
住所 大阪市北区南森町11番地 八千代第一ビル  
電話 大阪(06)851-6289(代)  
氏名 井上(6474)深見久郎

## 明細書

## 1. 発明の名称

ストアされたデータをリフレッシュする方法  
およびデータストレージ装置

## 2. 特許請求の範囲

(1) ストアされた電荷があるかないかによつて  
データビットが表わされる一連のシフトレジスタ  
にストアされたデータをリフレッシュする方法で  
あつて、

各々の前記データビットを同時に再生し、かつ  
各々の前記データビットを同時に再生する間に  
統いて前記シフトレジスタのスタックでデータビットを  
後戻りさせるようにシフトするリフレッシュ方法。

(2) 複数個の再生手段を含む電荷転送素子シフ  
トレジスタのスタックにストアされたデータビッ  
トをリフレッシュする方法であつて、

前記スタック内をダウントしてかつ少くとも1個  
の前記再生手段を通して各々のデータビットをシ  
フトし、かつ

統いて前記スタック内を後戻りしかつ少くとも

1個の前記再生手段を通してデータビットをシフ  
トするリフレッシュ方法。

(3) 各々が再生手段を含む電荷転送素子シフ  
トレジスタのスタック内に連續的に配列されたワー  
ド形態でストアされたデータをリフレッシュする  
方法であつて、

前記スタックの少くとも1ワード位置ダウンし  
かつ少くとも1個の再生手段を通して各データワ  
ードをシフトし、かつ

統いて前記スタックの少くとも1ワード位置ダ  
ウントさせてかつ少くとも1個の再生手段を通して各  
データワードをシフトするリフレッシュ方法。

(4) データビットが、ストアされた電荷のバケ  
ツトによって表わされる複数個のシフトレジスタ  
を備え、各レジスタは入力端および出力端を有し、  
かつ各レジスタがその隣接レジスタの方向と反対  
方向にシフトするよう一方の次に他方が横ろ置  
ねられかつ配向されかづクロックされ、および

前記レジスタを相互接続するために選択的に動  
作して、前記レジスタを通して前記データビット

ジストの導電チャネルとの間に介在され、少くとも1個の制御領域を含む第2導電経路から成る装置。

### 3. 発明の詳細な説明

#### 発明の背景

この発明は一般にコンピュータメモリ機構に関するもので、より特定的には電荷転送素子シフトレジスタから成りかつ後入れ先出しままたは先入れ先出し動作が可能なスタックメモリの機構に関する。広い観点から云つて、この発明は、公知のMOSシフトレジスタのようにストアされた電荷のリフレッシュが必要な他の電荷ストレージメモリに応用例を見出すこともできるが、この発明は特に電荷転送素子の実施例に向けられる。

電荷転送素子シフトレジスタは、1973年9月11日にW.F.Kosonockyに對して発行されたアメリカ合衆国特許第3,758,794号によつて示されるようこの技術分野においてよく知られている。そのようなレジスタでは、情報はレジスタの電極下のストレージセル中の少數キャリアの電荷パケ

の各々のダウンシフトおよび前記データビットの各々の再生を能動化し、または前記レジスタを通して前記データビットの各々のアップシフトおよび前記データビットの各々の再生を能動化する手段、を備えたデータストレージ装置。

(4) データワードが直列順序で連續的にストアされるシフトレジスタのスタック、および

前記ワードの連続的順序を妨げることなく前記スタック内で前記データワードをアップまたはダウンシフトする手段から成るデータストレージ装置。

(6) 電荷転送素子シフトレジスタのスタックから成るメモリにおいて、電荷パケットの形態で前記レジスタの少くとも1個へのデータビットエンタリを制御する装置であつて、

ソース領域、

前記ソース領域と前記少くとも1個のシフトレジスタの導電チャネルとの間に介在され、少くとも1個の制御領域を含む第1導電経路、ならびに前記ソース領域と前記少くとも1個のシフトレ

ジスト (Packet) が有るかないかとしてストアされる。これらの少數キャリアのパケットは最初にソース領域からレジスタへ注入され、かつレジスタ電極上の電圧を変化させることによって一電極から次の電極へシフトされる。2,3または4個の位相電圧を用いて、電極電圧を変えかつレジスタをクロックするための種々の配線が可能である。レジスタの最後のストレージセルにクロックされた情報は検出されてもよく、または最後のレジスタストレージセルとドレイン抵抗との間に配線されるフローティング抵抗によって他のレジスタへ転送することもできる。ドレイン抵抗の目的は、電荷パケットが表わす情報が転送または検出された後にその電荷パケットを除去することである。

そのようなシフトレジスタは、特にスタックメモリ設計に適したものとしての示唆を与える。過去において、後入れ先出しままたは先入れ先出しの種類の直列スタックメモリがコンピュータシステムにおいて幅広く用いられていた。それらはソフトウェアプログラムによつてランダムアクセスメ

モリから度々切り放され、従つてプログラマの仕事を複雑化した。その他の場合、スタックメモリのハードウェア実施例はMOSおよび他の半導体メモリ構造から構成された。しかしながら、電荷転送素子の簡易さおよび物理的大きさゆえに、それらの素子を利用し、かつ有効な機械計画に基づいて構成されるスタックメモリは、先行技術のハードウェア実施例以上の多くの利点を有する。特に、組立コストの減少および集積回路チップあたりのストレージ容量の増大を生じる。

メモリ应用に電荷転送素子を用いるとき、メモリを周期的にリフレッシュ (refresh) する必要がある。さもなければ、少數キャリアの熱的なおよびその他の発生がメモリ内容の損傷をきたす。加えて、電荷転送の不十分さのため、或る数の電荷転送後電荷が再生されることが必要である。

先行技術の素子は、リフレッシュ問題に対してもいくつかの解決を提供した。その一つでは、メモリのデータがメモリからシフトされ、一時的にストアされかかシフトして戻された。そのようなア

プローチはあまりにも複雑化され、スペースを浪費しかつスタッフメモリ応用には不適当であつた。他の方法は電荷転送素子シフトレジスタ構造とともに特に用いられ、シフトレジスタまたは一連のそれらを連続ループに接続することを含み、ストアされたデータがそれを連続的に循環される。この循環の間に、データは前に識別されたフローティングビット配置のような再生手段を通過する。そのような技術は、最初または最後のデータ項目がすぐにアクセスできるようにすべての時間において特定の順序にデータが維持されるべきことが所望されるような、後入れ先出しさまたは先入れ先出しスタッフの簡単な構成には役立たない。

データをリフレッシュしかつ電荷転送素子スタッフメモリのシフトレジスタ間でデータを転送するための有効な構造を機械化する問題は、メモリの大さきの最小化を兼ねる関心事によってさらに複雑化される。2位相電荷転送素子構造はより簡素化されかつ8または4位相構造よりも約20%の空間節約になる。集積回路用語に翻訳されれば、

2位相構造はオン-チップ(on-chip)複雑さを減じかつチップあたりのピット密度がより高くなる。それゆえに、電荷転送素子シフトレジスタを用いることから最大の利点を得るために、2位相構造を用いることが大いに望まれる。しかしながら、これらの構造は固有にデータを單方向的に転送するが、他方後入れ先出しさまたは先入れ先出しのいずれかのモードに動作するよう設計された直列スタッフメモリ中で複雑構造を避けるために双方向性能力が必要である。先行技術は、連続ループデータ再生方法を避けて單方向性シフトレジスタを双方向性データ転送に適応させる転送およびリフレッシュ機構を提供しなかつた。

#### 発明の概要

それゆえに、この発明の目的は電荷転送素子シフトレジスタからスタッフメモリを効率的に構成することである。

この発明のもう一つの目的はそのようなメモリの内容をリフレッシュするための簡単なかつ能率的な技術を提供することである。

この発明のさらに他の目的は、簡単なかつ拡張し得る集積回路設計において電荷転送素子スタッフメモリ構構およびリフレッシュ技術を実現することである。

この発明のさらに他の目的は、單方向シフトレジスタから成る電荷転送素子において双方向直列データ転送を容易にすることである。

この発明の特許の目的は、データがスタッフ内で交互にシフトアップされかつその後シフトダウンされるリフレッシュ技術を利用した一連の單方向性、2位相電荷転送素子シフトレジスタから後入れ先出し、先入れ先出しスタッフメモリを構成することである。

この発明のこれらおよび他の目的および利点は、各上に接たわるレジスタのドラインが、すぐその下に接たわるレジスタのソースに対向して接たわるように、一連の單方向電荷転送素子シフトレジスタを他方の上に一方を読み重ねることによって構成される。スタッフの一方側では、通常のレジスタ対が従来の電荷再生手段によって接続され

る。他方側では、レジスタは、一連のアップおよびダウンゲートを実施する修正された再生および電荷注入構造を介して接続される。これらのゲートは、POPまたはPUSH信号に応答して選択的に閉成され、シフトするデータをスタッフ内でかつ再生手段を介して交互にアップまたはダウンさせ、一方、スタッフ内でデータの相対的な順序を保持する。付加ゲート回路はアップおよびダウンゲートと協働してスタッフ設計を抜けかつ後入れ先出しさまたは先入れ先出しモードのいずれかのモードでスタッフをアクセスすることを可能にする。

この発明の前述の目的および利点は、それを用いることによって得られる他の目的および利点とともに、図面と関連して説明されるこの発明の以下の詳細な説明から明らかとなろう。

#### 発明の好みしい実施例の詳細な説明

この発明の好みしい実施例をまず第1A図および第1B図に示して述べる。これらの図の簡略化した略図構造はこの発明の好みしい実施例のス

フタメモリの動作理論を最もよく示す。

この発明は任意数の電荷転送素子シフトレジスタ対ないしMのスタッカに基づく。スタッカの一方側では、レジスタは従来の再生手段1-1によつて接続され、かつスタッカの他方側ではレジスタは、アップゲート18およびダウンゲート15を取り入れられた修正された電荷再生手段によつて相互接続される。レジスタスタッカへの入力および出力は、スタッカの上ではPUSH入力回路19およびPOP出力回路21によって与えられかつスタッカの下ではCHIP-POP入力回路28およびOUT出力回路25によって与えられる。結局、クロッキングおよび制御回路27はレジスタ対ないしMのクロック動作、種々のゲート12, 15の閉開動作、および入力および出力回路19, 21, 28, 25の動作を制御する。

この発明の好みしい実施例のスタッカ内のシフトレジスタR1-1ないしRM2は単方向性、2位相形であり、任意の数(n)のストレージセルを各々有する。適当な2位相クロック信号を各レジスタ

へ与えると、電荷パケット(packet)によって表わされたデータビットを成るレジスタセルから次のセルへ移動させる。レジスタR1-1ないしRM2は、各レジスタが第1回の矢印1-2によつて示されるようにその上および下のレジスタから反対方向にデータをシフトさせるよう構成される。レジスタR1-1ないしRM2はさらに対1ないしM内に構成され、完全なコンピュータワードは1ワードが2ロビットで作られるように各ペア内にストアされる。從つて各レジスタ対ないしMは第1段R11, R21, ..., RM1、および第2段R12, R22, ..., RM2から成る。各ペアは従来の電荷再成手段1-1によつてスタッカの一方側に接続される。Kosonockyのアメリカ合衆国特許第3,758,794号に示されるように、そのような電荷再生は各シフトレジスタ内に協働エレメントを要し、これは従来の再生手段1-1の一部としてかつアップおよびダウンゲート18, 15とそれぞれ一体的なものとして第1A図および第1B図に概略的に示される。

この発明の好みしい実施例において、2ロビット

の各完全ワードは、スタッカメモリ内容のリフレッシュを達成するために、2個の隣接レジスタ対間で交互にシフトされる。このリフレッシュ技術を実現するためにスタッカ内にストアされるべき全ワード数よりも1多いレジスタ対が必要とされる。換言すれば、もしM個のレジスタ対がスタッカ内にあれば、2ロビットのワードがM-1個ストアされる。前述したかつこれらの論理において、用語「アップシフト(upshifting)」および「ダウンシフト(downshifting)」は説明の便宜上でのみ用いられていることに注目されたい。実際のブレーナ回路実施例では、各シフトレジスタは平面内で次のレジスタに接続して横たわり、かつデータはその平面内のレジスタを介して移動する。

スタッカは2状態のうちの一方状態にあるように特徴づけられる。一方状態において、最後のレジスタ対Mを除いて第1レジスタ対1および各々接続するレジスタ対2ないしM-1にはワードがロードされ、かつリフレッシュは各ワードを1個のレジスタ対ダウンするように移動させることに

よつて達成される。それによつてスタッカは、第1レジスタ対1が空になるような第2状態へもたらされる。次のリフレッシュ動作は各ワードを1レジスタ対アップに後戻りさせ第1リフレッシュ状態にし、そのとき最初のレジスタ対1には1ワードがロードされかつ最後の対Mが空になる。以後、第1リフレッシュ状態は状態Aと称し、かつ第2リフレッシュ状態は状態Bと称する。

クロッキングおよび制御回路27はレジスタ対1ないしM内のデータ移動をモニタしかつこの発明の一部を形成しない他のコンピュータ回路と協働して種々の制御信号を発生する。後述するような信号を発生するためのそのような制御回路の構成および動作はこの技術分野において良く知られている。制御回路27はPUSHおよびPOP信号として表わされる信号を選択的に発生する。この回路27はさらに各リフレッシュ状態を表す信号を発生し、これは状態A信号および状態B信号と総称される。状態A信号は状態Bに連するまで、すなわち、最終ビットが第1レジスタ対1か

アシュしかつスタッフを状態Bに置く。

スタッフが戻る時間状態Bのままであつた後、再度リフレッシュが必要となる。アップゲート18はPOP信号によって閉じられかつダウンゲート15はPUSH信号を除去することによって開かれる。他の一連の20個のクロックパルスを与えると、各ワードはピットごとに隣接のより上方のレジスタ対へ戻るようにシフトする。POP信号の付与により形成された経路は第3A図および第3B図により明確に示される。閉成されたアップゲート13によるストアされたピットの移動を示すために、第2レジスタ対2の第2段R22の最後のピット35(第3B図)が、第1クロックパルスによって第1レジスタ対1の第1段R11の第1セルC1へシフトされる。さらにクロックパルスはそのピットを第1段R11を介し、第1段R11および第2段R12を後続する再生手段11を介して通常的にシフトし、最終的には20番目のクロックパルス後に第1レジスタ対1の第2段R12の20番目のセルC20へ至る。

ら第2レジスタ対2へ移動されるまで持続する。それから状態B信号が発生されかつ状態Aに再度戻すまで維持される。これらの信号は、交互のアップ-ダウンリフレッシュ動作およびメモリアクセスを促進させるのに必要な制御に加わる。この関係の性質は以下のリフレッシュ動作のより詳細な説明からより明らかになろう。

スタッフが状態Aにありかつストアされたデータをリフレッシュする必要がある場合を想定すれば、PUSH信号が制御回路27によって発生されかつダウンゲート15を開成させる。他方、アップゲート13は開かれる。ダウンゲート15がPUSH信号によって閉じられると、曲折経路(第2A図および第2B図)は再生手段11およびダウンゲート15を介してスタッフのレジスタR11ないしRM2を通って形成される。その後で、一連の20個のクロックパルスを付与すると、各ワードは従来の再生手段11およびダウンゲート15を通してシフトしかつ次のそれぞれの隣接レジスタ対へダウントし、従つて各ワードをリフレ

この点までは、スタッフおよびスタッフリフレッシュ動作においてレジスタR11ないしRM2の相互接続を簡略する目的で、スタッフはデータがロードされるものとして考慮した。スタッフをロードするために、後入れ先出しさまたは先入れ先出しモードでその動作を許容させ、かつ同様なスタッフに簡単に接続することによって容易に広げられることができるためには、前述されたPUSHおよびCHIP POP入力回路18, 38ならびにPOPおよびOUT出力回路23, 25が必要になる。

スタッフへデータを入れる場合、次のアプローチがこの発明の好みしい実施例に用いられる。もしスタッフが状態Aにあれば、第1ワードは第1レジスタ対1にストアされ、かつエントリ中のデータはスタッフ内で適当なシーケンスを維持するために第1レジスタ対1の第1段R11へ押し入れられる。この要求は、PUSH信号でダウンゲート15を開じかつ第1レジスタ対1へ1ワードをクロックすることによって満たされる。第1レジスタ対1を前に占領したワードおよび、スタッ

ク内の他のワードの各々は、新たなデータのエントリと同時に次のそれぞれのより低いレジスタ対へクロックされる。もしスタッフが状態Bにあれば、第1ワードは第2レジスタ対2に位置し、かつリフレッシュを達成しかつ状態Aへ引合統合復帰するために第1レジスタを開成させたままにしておくために、エントリ中のワードが第2レジスタ対2へ押し入れられるべきことが所望される。それゆえにPUSH信号が発生されてダウンゲート15を開じ、かつエントリ中のワードが第2レジスタ対2へクロックされ、一方後続するワードがスタッフの1レジスタ対だけシフトダウンされる。

第1レジスタ対1または第2レジスタ対2のいずれかへのデータのエントリを制御するため、前のパラグラフで述べたように、第1および第2の2入力PUSH ANDゲート37, 39がこの発明の好みしい実施例のPUSH回路19(第1図)内で用いられる。これらのANDゲート37, 39の各々はデータエントリ段41から第1入力を受ける。

第1 PUSH ANDゲート37の第2入力48は状態A信号線77に接続され、他方第2 PUSH ANDゲート39の第2入力45は状態B信号線79に接続される。第1 PUSH ANDゲート37の出力は第1レジスタ対1の第1段R1'1へ結合され、かつ第2 PUSH ANDゲート39の出力は第2レジスタ対2の第1段R2'1へ接続される。従つて、状態Aにおいて、データは能動化された第1 PUSH ANDゲート37を介して第1レジスタ対1へのみ入れられ、かつ状態Bにおいてデータは能動化された第2 PUSH ANDゲート39を介して第2レジスタ対2へのみ入れられる。

スタッツを先入れ先出しモードで動作させかつもう1つのスタッツへの出力を通してメモリ拡張を許容するためには、最後の2レジスタ対M,M-1の内容がアクセスできなければならぬ。なぜならばスタッツへ押し入れられた第1ワードはリフレッシュ状態によってレジスタ対MまたはM-1のいずれかにある。再び、ANDゲート47,49は選択的なアクセスを提供するように用いいら

れる。第1 OUT ANDゲート47は最後の一つ手前のシフトレジスタ対M-1の第2段R(M-1)2からの入力51と、状態A信号線77からの第2入力53とを有する。他のOUT ANDゲート49は最後のシフトレジスタ対Mの第2段R.M2からの一方入力55と、状態B信号線79からの他方入力57とを有する。これらの2個のOUT ANDゲート47,49はORゲート59に供給されて、増幅器61を介して出力する。

従つて、状態Aにおいて、スタッツへ配置された第1ワードは最後の一つ手前のシフトレジスタ対M-1へシフトされる。勿論、状態A信号が存在して、第1 OUT ANDゲート47を能動化する。もしデータがメモリから読み出すべしであれば、アップおよびダウングート13,15は開かれる。そこで、データは能動化された第1 OUT ANDゲート47を介してメモリから読み出されかつ最後の一つ手前のレジスタ対M-1のデータの進捗的クロックに応答して増幅器出力63で検出される。ゲート13,15を開けたままにすればシフトされた

出力データが近接のレジスタ対M-2,Mへアップまたはダウントすることによってスタッツに維持されることが防げられる。

状態Bにおいて、データは、アップおよびダウングート13,15を開きかつ最後のレジスタ対Mをクロックすることによって、またはダウングート15を開じかつ全レジスタ1ないしMをクロックすることによって、第2 OUT ANDゲート49を介して最後のレジスタ対Mから読み出される。後者の場合、スタッツ内の各ワードは1レジスタ対シフトダウンされ、最後の1つ手前のレジスタ対M-1のワードは、能動化された第2 OUT ANDゲート49を介してMレジスタからシフトされたデータワードのあとを継ぐ。

後入れ先出しモードでスタッツを動作させかつ拡張された設計で他のスタッツメモリへデータをアップシフトするのを容易にするために、先入れ先出し動作のために述べられたものと同様なゲート回路がこの発明の好ましい実施例で用いられる。従つて、それぞれ第1および第2レジスタ対1,

2の第2段R12,R22の出力(ドライン)端によつて与えられる第1および第2 POP ANDゲート65,67が利用される。第1 POP ANDゲート65には状態A信号線77から入力69が与えられ、かつ第2 POP ANDゲート67には状態B信号線79から入力71が与えられる。再び、ANDゲート65,67がORゲート78および増幅器76Kと与える。

従つて、状態Aにおいて、スタッツヘロードされた最終ワードは第1レジスタ対1にある。それは、2回レジスタをクロックする間にアップゲート13を開いたままかつダウングート15を開いたままにすることによってスタッツから読み出される。スタッツの各ワードは従つて1レジスタ対だけアップシフトされ、第1ワードは第1 POP ANDゲート65を介して存在し得るのみである。

もしスタッツが状態Bにあれば、最終ワードは第2レジスタ対2から読み出しえる。この読み出しはアップおよびダウングート13,15の両者を開きかつ第2レジスタ対2のみをクロックすること

によって達成される。データは能動化された第2 P O P ANDゲート87およびORゲート73を通して出力される。

前の説明はこの発明の好ましい実施例のデータ転送方法およびリフレッシュ方法を示したが、それは單片集成回路構造に特に適した構造的適応を示していない。そのような適応は第4A図および第4B図に示される。

いくつかの一般的な特徴は第4A図および第4B図のスタック設計において注目に値する。まず、第1A図および第1B図のアップおよびダウンゲート13, 15は、シフトレジスタソース抵抗S<sub>1</sub>ないしS<sub>0</sub>とシフトレジスタチャネルR<sub>1</sub>1…RM2との間に構成されるサンドイッチ構造81によつてシフトレジスタチャネルR<sub>1</sub>1ないしRM2へ直接的に備えられる。サンドイッチ構造81は共通P O P線83および共通P U S H線85を介して制御するようになされる。第2に、第1A図のP O P出力論理21およびP U S H入力論理19は修正されて、第2シフトレジスタ対2の第1段

R<sub>2</sub>1へ3個の入力が必要な状況を解消する。

前述したアップおよびダウンゲートを容易にするサンドイッチ構造81は第5A図および第5B図に詳細に示される。それらは各々チャネルストップ領域89、ソース抵抗領域91、2個のアルミニウム電極93, 95および2個のシリコン電極領域97, 99から成る。第4A図、第4B図、第5A図および第5B図の比較が示すように、サンドイッチはシフトレジスタチャネルの幅に適合させる必要がない。

各ソース抵抗91はチャネルストップ領域89とともにTを形成し、かつ各第1段シフトレジスタチャネルR<sub>1</sub>1, R<sub>2</sub>1, R<sub>3</sub>1…RM2への電荷注入の場を提供するために先行技術におけるように構成され動作される。2個のストップ領域89, 90はシフトレジスタチャネルR<sub>1</sub>1…RM2と、ある領域を提供することによって、ソース91からチャネルR<sub>1</sub>1…RM2へ至る電荷導電経路とを規定し、前記ある領域では、少數キャリヤが発生されず、かつクロソク電圧が何の影響も与えない。

先行技術において、そのようなストップ分離はチャネルドーピングよりもドーピングを数オーダーの大きさ増加することによって達成されていた。

2個の直列経路が各サンドイッチ81のソース領域91から開通のシフトレジスタチャネルへ至るよう規定される。各チャネルストップ89の上側では、経路はアルミニウムの上方ゲート電極98とシリコンの上方ゲート電極97とによって規定される。チャネルストップ89の下側では、各ソース91と各開通のシフトレジスタチャネルとの間の直列経路が、下方アルミニウムゲート電極95と、下方シリコンゲート電極99とによって与えられる。

これらの電極は公知手段によってP U S HおよびP O P制御線83, 85ならびに隣接シフトレジスタのドレイン出力101へ接続され、前述の制御された、交互のアップおよびダウンデータリフレッシュ転送を許容する。上部のアルミニウム電極98は共通P U S H線85へ接続されかつアルミニウム電極95は共通P O P線83へ接続される。

これらのアルミニウム電極93, 95はP O PまたはP U S H制御信号があるかないかによって電荷注入を禁止または許容する。各上部シリコンゲート電極97は、ダウン線103によって、それぞれの先行シフトレジスタ対の第2段R22, R32, R42(第5A図、第5B図)のドレイン抵抗101へ接続される。各下部シリコンゲート電極99は、アップ線105によって、それぞれすぐ次のシフトレジスタ対の第2段R32, R42, R52(第5A図、第5B図)のドレイン抵抗101へ接続される。

シリコン接続へのこれらのドレインの各々は、たとえばKorobockyのアメリカ合衆国特許第3, 758, 794号に示されるように再生手段で構成される。従つて、ドレイン領域301のフローティング抵抗が用いられてデータ信号をアルミニウムコンタクト107を介してポリシリコン領域97へ転送し、これは良導電体を構成するよう高くドープされている。一度能動化信号が任意のアルミニウムゲート電極98に与えられると、先行レジスタ第2段R22, R32またはR42の最終のスト

POP信号を付与すると、電荷注入が可能となりかつアップ線105を介して同様の上部レジスタ対へのデータ転送が可能となる。

勿論、すべてのデータ転送は、既述したように適当なクロック信号によって駆動される。また、電荷注入を抑制するためにPOPおよびPUSH信号に対する適当な電圧を選択することはこの分野において周知である。

他の観点から、第4Aおよび第4B図ならびに第5Aおよび第5B図のサンドイッチ構造の動作は第6図に示される従来の論理回路から類推される。各上部直列経路92, 97および下部直列経路96, 99はそれぞれ2入力ANDゲート107, 109に相当し、かつデータ(電荷)信号をシフトレジスタチャネル93, 97を開きかつデータのダウンシフトを許容する。もしPOP制御信号がPOP制御線88に与えられなければ、下部チャネル96, 99がカットオフされる。従つて、ダウン線103を介してデータをダウンシフトさせることができない。逆に、PUSH信号を付与すると、チャネル93, 97を開きかつデータのダウンシフトを許容する。もしPOP制御信号がPOP制御線88に与えられなければ、下部チャネル96, 99がカットオフされるので、アップ線105を介して下部レジスタの第2段R22…RM2からの電荷注入は不可能となる。再度、

見られるように、この発明の好ましい実施例のサンドイッチ構造81は簡単かつ高い対称性を有

し、かつ簡単な集積回路の実施例に役立つ。しかしながら、第1A図に示されるように第2レジスタ2の第1段R21へ3本のリードを組み入れることは構造を複雑にする。第1Aおよび1B図に関して既述したゲート方法はなお用いられるが、2入力よりも3入力を用いる必要性は後で詳述するよう第4Aおよび4B図の構造によって解消される。

余分な入力はANDゲート113およびORゲート115を付加することによって解消されて前述したPOP出力回路21とPUSH入力回路19とを相互に関係づける。ANDゲート113は、第1レジスタ対1の第2段R12のドレイン101からの一入力117と状態A信号線77からの一入力119とを受ける。ORゲート115はANDゲート113からの一入力121と第2PUSH ANDゲート39からの一入力122とを受ける。ORゲート115の出力123は、第2シフトレジスタ対2の第1段R21内でサンドイッチエンジント81の上部シリコン電極97へ接続される。

それゆえに、スタックシステムが状態Aにありかつスタック内の第1ワードが定義によって第1レジスタ対1にあるとき、ANDゲート113は能動化され、ORゲート115を介して第2レジスタ対2の第1段R21へのダウン経路を与える。この経路はリフレッシュのダウンサイクルにおいてまたはスタックロード動作において用いられる。同時に、第2PUSH ANDゲート39はなおもORゲート115を介して第2レジスタ対2の第1段R22へ結合される。

要約すれば、スタックの動作は状態A、状態B PUSH、POPおよびクロック信号によって制御される。すべての場合において、クロック信号は電荷の形態でまたは無電荷の形態でシフトレジスタ対1ないしMを介して單方向にデータビットを進める。状態A、状態B、PUSHおよびPOP信号は單方向シフトデータを回送し、命令、データの入力および出力ならびにデータリフレッシュを達成する。

もしスタックがロードされるべきであれば、

PUSH信号が与えられる。全ダウン経路10-5はそれによって能動化され、直列データをスタッタの下部レジスタへ転送させる。もしスタッタが状態Aにあれば、第1 PUSH ANDゲート37が能動化され、他方第2 PUSH ANDゲート39が不能動化される。電荷の形態のデータは上部シリコン電極97を介して第1 PUSH ANDゲート37から第1レジスタ対1の第1段R21へ注入される。もしスタッタが状態Bにあれば、第2 PUSH ANDゲート39が能動化され、かつデータは同様にして第2 PUSH ANDゲート39を通して第2レジスタ対2の第1段R21へシフトされる。

もしデータが後入れ先出し態様でスタッタから引き出されれば、それは第1または第2レジスタ対1,2のいずれかから出力される。状態Aにおいて、POP信号が与えられ、アップ線105および下部直列経路95, 99を介して上向きデータ転送を能動化する。転送経路がそのように能動化されると、クロック動作によって第2レジスタ対

2内のデータワードが第1レジスタ対1へシフトし、第3レジスタ対3内のワードが第2レジスタ対2へシフトアップし、以下同様であり、他方第1レジスタ対1内のものとのワードは第1POP ANDゲート65を介して外へシフトされる。第2レジスタ対2の第1段R21の上部アルミニウム電極にPUSH信号がないと、第1レジスタ対1のものとのワードはANDゲート118, ORゲート115および上部シリコン電極97接続を介して第2レジスタ対2へシフトされるのが阻止される。状態Bにおいて、後入れ先出し動作は、POPおよびPUSH信号の両者を与えないでかつ第2シフトレジスタ対2だけをクロックすることによって達成される。出力されたデータを第1または第3レジスタ対1,3のいずれかへシフトするのを避けながら、出力は第2POP ANDゲート67を介して第2シフトレジスタ対2から与えられる。

もしデータが先入れ先出し態様でスタッタから引き出されるべきであれば、それは最後のレジスタ対Mまたは一つの手前のレジスタ対M-1のい

ずれかから出力される。状態Aにおいて、アップおよびダウン経路103, 105がPUSHおよびPOP信号を与えないとことによって阻止されている間に最後の一つ手前のレジスタM-1は別にクロックされる。それによってスタッタの最終ワードは第1 OUT ANDゲート47を介してクロック出力される。状態Bにおいて、POP信号が与えられて全ダウン経路103および2回クロックされる全体のスタッタを閉じる。それによって各データワードは1レジスタ分ダウン方向へ移動され、かつスタッタ内の最終ワードは同時に第2 OUT ANDゲート49を通してスタッタからクロック出力される。

リフレッシュが必要になると、スタッタへの全アクセスが禁止される。もしスタッタが状態Aにあれば、POP信号が与えられ、かつ連続した2回のクロック信号によって各ワードは、第1A図、第1B図、第2A図および第2B図に関して前述されたようにダウン方向経路に関連の電荷再生手段11を介して、1レジスタ対だけダウン

シフトされる。もしスタッタが状態Bにあれば、PUSH信号が与えられてかつ連続した2回のクロック信号によって各ワードは、第1A図、第1B図、第3A図および第3B図に関して前述されたようにアップ方向経路に関連の電荷再生手段を介して、1レジスタ対をアップシフトする。

この発明の好ましい実施例のスタッタ構造は単チップ上に有利に構成される。そのように構成されたとき、PUSHおよびCHIP POP入力回路19, 23ならびにPOPおよびOUT出力回路21, 25が完全に両立できて、第7図および第8図に示されるように簡単な相互チップ接続によってスタッタの並張を容易にする。各チップ113のOUT端子63は次に続くチップ113のPUSH入力41へ接続され、かつ各後続チップ113のPOP出力116は先行チップ113のCHIP POP接続23へ接続される。後述するように、これらの接続および回路は前述の1チップスタッタメモリ機構の方法に基づいてアップおよびダウンデータ転送を許容し、他方向のデータも損失し

ないことを確実にする。

データのダウンシフトの間、信号が PUSH 線 85 に与えられて上部アルミニウム電極 93 を介してソース 91 からの電荷注入を許容する。加えて、状態 A 信号もまた与えられる。ダウンシフトの間の OUT および PUSH 回路 19, 25 の協働を考慮するために、スタッフが M-1 段へ渡たされることを想定しよう。2 ビット(1 ワード)のダウンシフトを考慮すれば、最後の 1 つ手前のレジスタ M-1 内の 1 ワードは第 1 出力 AND ゲート 47 および第 2 チップの第 1 PUSH AND ゲート 37 を介してシフトされて第 2 チップの第 1 レジスタ対 20 へ至る。そのワードもまた第 1 チップの最終レジスタ M へシフトされる。

後続のアップシフトの場合、たとえばリフレッシュの場合にデータがなくなるないようにレジスタ対および第 1 レジスタ対 20 内に二重にデータが存在する必要がある。そのようなアップシフトにおいて、POP 信号が下部直列チャネル 95, 99 を開ける POP 制御線 83 へ与えられ、かつ

状態 B 信号が与えられる。從ってアップ経路が第 2 チップの第 2 レジスタ対 22 から POP 出力 116 および CHIP POP 入力 23 を介して第 1 チップの最終レジスタ M へ存在する。しかしながら、AND ゲート 113 および第 1 POP AND ゲート 69 が不能動化されているので、第 2 チップの第 1 レジスタ対 20 から第 1 チップまたは第 2 チップの第 2 レジスタ対 22 への経路が役に立たない。レジスタがクロックされるとき、第 2 チップの第 1 レジスタ対内のデータはなくなる。しかしながら、同時に第 1 チップの M レジスタ内の同一データが M-1 レジスタへアップシフトされ任意のデータ損失を防ぎかつ順にデータを維持する。同時に、第 2 チップの第 2 レジスタ対 22 からのデータがアップ線 105 を介して第 1 レジスタ対 20 へ、かつ第 2 POP AND ゲート 67, OR ゲート 73, CHIP POP 増幅器 24 および下部直列経路 95, 99 を介して M レジスタ対へシフトされ、再度 M レジスタと第 2 チップの第 1 レジスタ対 20 との間に冗長を確立する。

この発明の好ましい実施例のゲート方法の特に有利な性質はいまや明らかである。2 個の簡単な接続はデータ損失なしに 2 個の電荷転送素子スタッフメモリチップ間のデータのアップおよびダウンシフトを容易にする。データの書込および読出は單チップメモリスタッフに対してすでに述べられたように達成される。

一般に、この発明の好ましい実施例のスタッフ構造および機構は、達成されたデータ転送および入出力動作において大きな融通性を許容する。必要なことは適当な制御信号およびクロックシーケンスが与えられることだけである。それゆえに、上の説明は、この発明の好ましい実施例において行なわれる可能なデータ転送を論じ尽そうとするものではない。しかしながら、開示されたスタッフメモリの構造、動作および制御から、この技術の分野における通常の技術者はこの発明の範囲および精神を離れることなく、説明された好ましい実施例の動作および機構において多くの変形を容易に達成することができるであろう。それゆえに、

前掲の特許請求の範囲内において、この発明が特定期に述べられたようなものよりほかにも実施されよう。

なおこの発明の実施態様は以下に示すものである。

- (1) データビットが、ストアされた電荷のパケットによって表わされる複数個のシフトレジスタを備え、各レジスタは入力端および出力端を有し、かつ各レジスタがその隣接レジスタの方向と反対方向にシフトするよう一方の次に他方が積み重ねられかつ配向されかつクロックされ、および前記レジスタを相互接続するために選択的に動作して、前記レジスタを介して前記データビットの各々のダウンシフトおよび前記データビットの各々の再生を能動化し、または前記レジスタを介して前記データビットの各々のアップシフトおよび前記データビットの各々の再生を能動化する手段、を備えたデータストレージ装置。
- (2) 前記相互接続手段は、さらに、前記ダウンシフトまたは前記アップシフトの完了で前記レジ

・スタ内の前記データビットの直列順序の維持を可能にする実施態様第(1)項記載のデータストレージ装置。

(5) 前記シフトレジスタのスタッカヘデータビットを入れる手段、

前記スタッカへ入れられた最後の一連のデータビットを読み出す手段、および

前記スタッカへ入れられた最初の一連のデータビットを読み出す手段をさらに含む実施態様第(2)項記載のデータストレージ装置。

(6) 前記スタッカの最終レジスタヘデータビットを入れる手段をさらに含む実施態様第(3)項記載のデータストレージ装置。

(5) 前記シフトレジスタの各連続的な対はデータワードを含むビットをストアし、前記対の各々の第1レジスタはデータワードの最初の半分をストアするための第1段を含み、かつ前記対の各々の第2レジスタはその同じデータワードの後の半分をストアするための第2段を含む実施態様第(2)項記載のデータストレージ装置。

#### 該のデータストレージ装置。

(7) 前記ダウングート手段、アップゲート手段および選択的駆動手段は、

各前記第1段シフトレジスタの導電チャネルへ電荷を注入するための電荷ソース手段、

第1アルミニウム電極と第1シリコン領域とを含み、前記ソース手段からの電荷注入を導通させかつ制御する第1経路、

第2アルミニウム電極と第2シリコン領域とを含み、前記ソース手段からの電荷注入を導通させかつ制御する第2経路、

各前記第2段レジスタの出力端を、各前記第2段にそれぞれ後続しかつ隣接するレジスタ対の第1段の前記第1シリコン領域へ接続するための接続手段、

各前記第2段レジスタの出力端を、各前記第2段にそれぞれ先行しかつ隣接するレジスタ対の第1段の前記第2シリコン領域へ接続するための接続手段、

各前記第1アルミニウム電極へ接続される第1

(6) 前記シフトレジスタは電荷転送素子シフトレジスタから成り、ならびにデータビットをダウンシフトし、アップシフトし、かつ再生するための前記レジスタを相互接続するための前記手段は、前記シフトレジスタの各々の出力端での電荷再生手段、

各前記第1段レジスタの出力端から前記再生手段を通じてそれぞれ対になつた前記第2段レジスタの入力端への前記データビットの転送を可能にするための手段、

各第2段レジスタの各出力端から前記再生手段を通じてそれぞれ後続するレジスタ対の第1段レジスタの入力端への転送を可能にするためのアップゲート手段、および

各第2段レジスタの出力端から前記再生手段を通じてそれぞれ先行するレジスタ対の第1段レジスタの入力端への転送を可能にするためのダウングート手段、

前記アップゲート手段およびダウングート手段を選択的に駆動する手段を含む実施態様第(4)項記

#### 制御線、および

各前記第2アルミニウム電極へ接続される第2制御線を含む実施態様第(5)項記載のデータストレージ装置。

(8) 第1および第2制御信号を発生する手段をさらに含み、かつ前記スタッカへデータを入れるための前記手段は、

#### データエントリ線、および

前記第1制御信号によって駆動されて前記線から前記スタッカの第1の前記レジスタ対の第1段へデータを入れ、かつ前記第2制御信号によって駆動されて前記線から前記スタッカの第2の前記レジスタ対の第1段へデータを入れる手段を含む実施態様第(7)項記載のデータストレージ装置。

(9) データを前記第1レジスタ対および前記第2レジスタ対へ入れるための前記手段は、

入力を前記データエントリ線と前記第1制御信号とから受け、かつその出力が前記第1レジスタ対の第1段の第1シリコン領域へ接続される第1ANDゲート、ならびに

前記第3および第4 ANDゲートの各々の出力から入力を受ける第1 ORゲートを含む実施態様第10項記載のデータストレージ装置。

10 前記第1レジスタ対の第2段の出力端を前記第2レジスタ対の第1段の第1シリコン領域へ接続するための前記接続手段は、さらに

前記第1レジスタ対の前記第2段の出力と前記第1制御信号線とから入力を受ける第5 ANDゲート、ならびに

前記第5 ANDゲートの出力と前記第2 ANDゲートの出力とから入力を受け、かつその出力が前記第2レジスタ対の第1段の第1シリコン領域に接続される第20 Rゲートを含む実施態様第10項記載のデータストレージ装置。

11 前記スタッカへ入れられた第1データを読み出すための前記手段は、

前記第1レジスタ対の第2段出力端と前記第1制御信号線とからの入力を有する第3 ANDゲート、ならびに

前記第2レジスタ対の第2段出力端と前記第2制御信号線とからの入力を有する第4 ANDゲート、ならびに

入力を前記データエントリ線と前記第2制御信号線とから受け、かつその出力が前記第2レジスタ対の第1段の第2シリコン領域へ接続される第2 ANDゲートを含む実施態様第10項記載のデータストレージ装置。

12 前記スタッカへ入れられる最終データを読み出すための前記手段は、

前記第1制御信号によって駆動されて前記第1レジスタ対からデータを読み出し、かつ前記第2制御信号によって駆動されて前記第2レジスタ対からデータを読み出す手段を含む実施態様第10項記載のデータストレージ装置。

13 前記第1レジスタ対および前記第2レジスタ対からデータを読み出す前記手段は、

前記第1レジスタ対の第2段出力端と前記第1制御信号線とからの入力を有する第3 ANDゲート、

前記第2レジスタ対の第2段出力端と前記第2制御信号線とからの入力を有する第4 ANDゲート、ならびに

読み出す手段を含む実施態様第10項記載のデータストレージ装置。

14 前記最終およびその一つ手前のレジスタ対からデータを読み出すための前記手段は、

前記最終の一つ手前のレジスタ対の第2段出力端と前記第1制御信号線とからの入力を有する第6 ANDゲート、

前記最終レジスタ対の出力端と前記第2制御信号線とからの入力を有する第7 ANDゲート、ならびに

前記第6および第7 ANDゲートのそれぞれの出力からの入力を有する第30 Rゲートを含む実施態様第10項記載のデータストレージ装置。

15 データワードが直列順序で連続的にストアされるシフトレジスタのスタッカ、および

前記ワードの連続的順序を妨げることなく前記スタッカ内で前記データワードをアップまたはダウンシフトする手段から成るデータストレージ装置。

16 前記シフトレジスタは電荷転送素子シフト

レジスタであり、かつ前記データワードをシフトする前記手段は、

データワードの最終ビットをストアするレジスタを、すぐ前に先行するデータワードの最初のビットをストアするレジスタへ接続するアップゲート手段、

データワードの最終ビットをストアするレジスタを、すぐ後に後続するデータワードの最初のビットをストアするレジスタへ接続するダウングート手段、

各データワードの最初および最終ビットを包含するレジスタの中間にあるレジスタを接続してそれらの間の直列データ転送を容易にする中間ゲート手段、ならびに

前記アップゲート手段および前記ダウングート手段を選択的に能動化する手段から成る実施態様第10項記載の装置。

17 電荷転送素子シフトレジスタのスタッカから成るメモリにおいて、電荷パケットの形態で前記レジスタの少くとも1個へのデータビットエン

統いて前記スタックでデータビットを後戻りさせ  
るようシフトするリフレッシュ方法。

四 前記各個の再生手段を含む電荷転送電子シフ  
トレジスタのスタックにストアされたデータビット  
をリフレッシュする方法であつて、

前記スタック内をダウントしてかつ少くとも1個  
の前記再生手段を通して各々のデータビットをシ  
フトし、かつ

統いて前記スタック内を後戻りしかつ少くとも  
1個の前記再生手段を通してデータビットをシ  
フトするリフレッシュ方法。

四 各々が再生手段を含む電荷転送電子シフ  
トレジスタのスタック内に連続的に配列されたワー  
ド形態でストアされたデータをリフレッシュする  
方法であつて、

前記スタックの少くとも1ワード位置ダウントし  
かつ少くとも1個の再生手段を通して各データワ  
ードをシフトし、かつ

統いて前記スタックの少くとも1ワード位置後  
戻りさせかつ少くとも1個の再生手段を通して各

トリを制御する装置であつて、  
ソース領域、

前記ソース領域と前記少くとも1個のシフトレ  
ジスタの導電チャネルとの間に介在され、少くと  
も1個の制御領域を含む第1導電経路、ならびに

前記ソース領域と前記少くとも1個のシフトレ  
ジスタの導電チャネルとの間に介在され、少くと  
も1個の制御領域を含む第2導電経路から成る装  
置。

四 前記第1導電経路は第1アルミニウム制御  
領域と第1シリコン制御領域とを含み、かつ前記  
第2導電経路は第2アルミニウム制御領域と第2  
シリコン制御領域とを含む実施題様第1項記載の  
データエントリ制御装置。

四 ストアされた電荷があるかないかによつて  
データビットが表わされる一連のシフトレジスタ  
にストアされたデータをリフレッシュする方法であ  
つて、

各々の前記データビットを同時に再生し、かつ  
各々の前記データビットを同時に再生する間に

データワードをシフトするリフレッシュ方法。

#### 4. 図面の簡単な説明

第1A図および第1B図はこの発明の好ましい  
実施例の簡易概略図を含む。

第2A図および第2B図はリフレッシュモー  
ドでの第1A図および第1B図の実施例において  
形成されたデータ転送経路の概略図を含む。

第3A図および第3B図は他のリフレッシュモ  
ードでの第1A図および第1B図の実施例において  
形成されたデータ転送経路の概略図を含む。

第4A図および第4B図は第1A図および第1  
B図の実施例の特に有利な单チップ集積回路実施  
の概略図を含む。

第5A図および第5B図は第4A図および第4  
B図に示されるサンドイッチゲートおよび制御回  
路の拡大詳細図を含む。

第6図は第4A図および第4B図ならびに第5  
A図および第5B図のサンドイッチ構造の動作を  
表わす論理図である。

第7図は好ましい実施例の設計基板の概略図で

ある。

第8図は第7図の設計基板の2チップエレメン  
ト間の論理接続を詳細に示す概略図である。

図において、1～4はレジスタ対、13はアッ  
プゲート、15はダウングート、11は再生手段、  
19はPUSH入力回路、21はPOP出力回路、  
23はCHIP POP入力回路、25はOUT  
出力回路、27はクロックおよび制御回路を示す。

特許出願人 バロース・コーポレーション

代理人弁理士 深見久郎

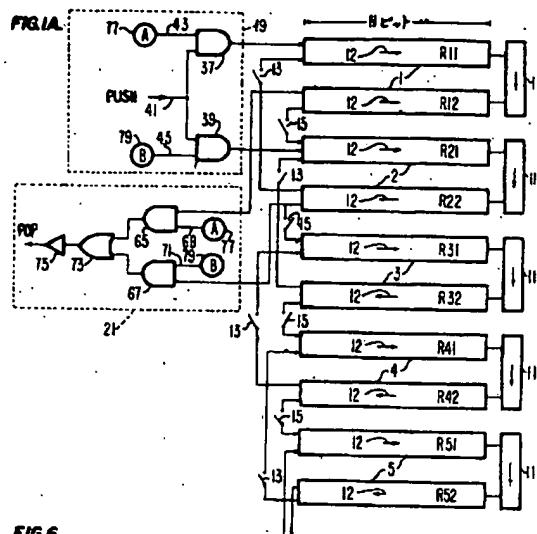


FIG. 6

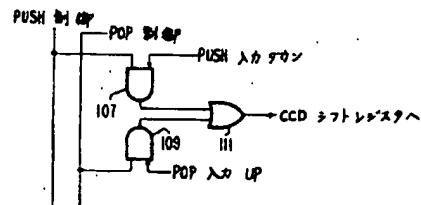


FIG. 18

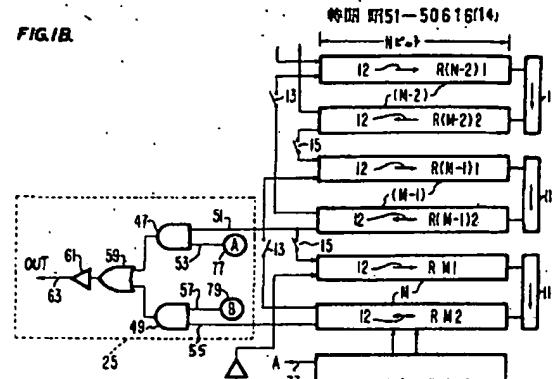


FIG. 2A.

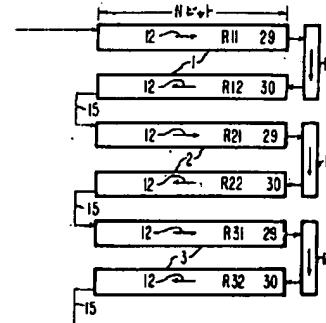
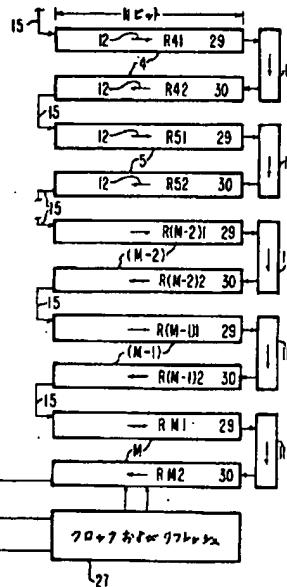


FIG. 2B.



**FIG. 3B.**

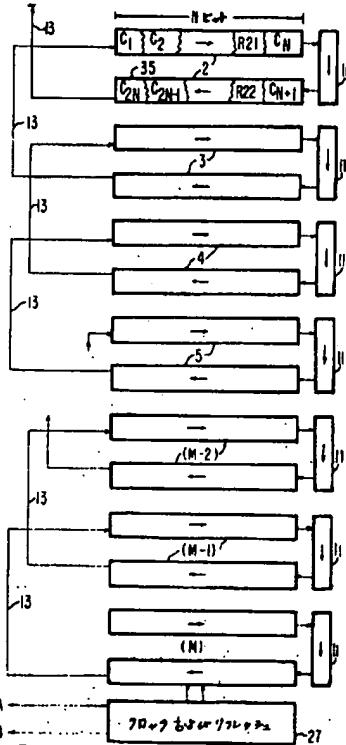
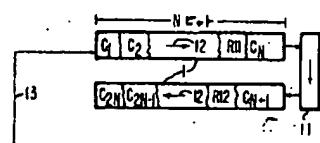


FIG. 3A.



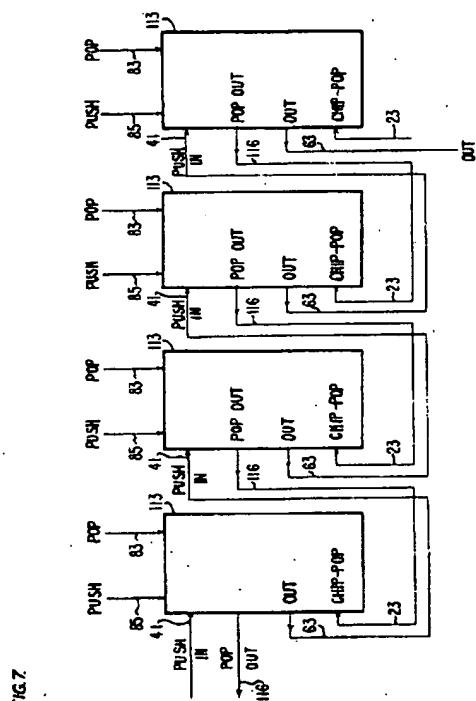
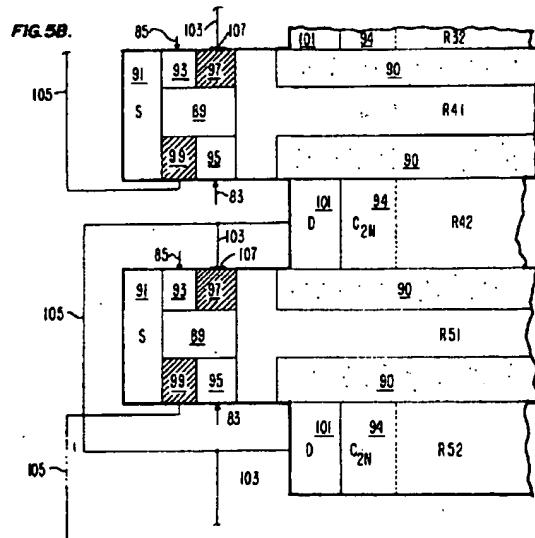
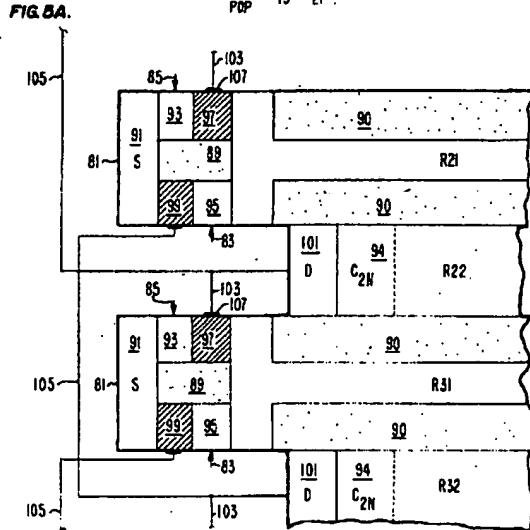
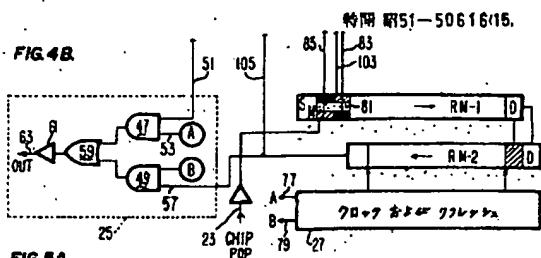
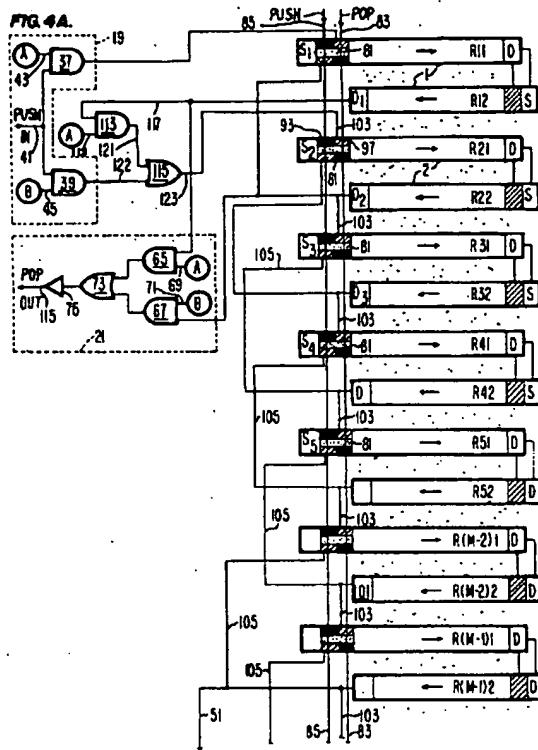
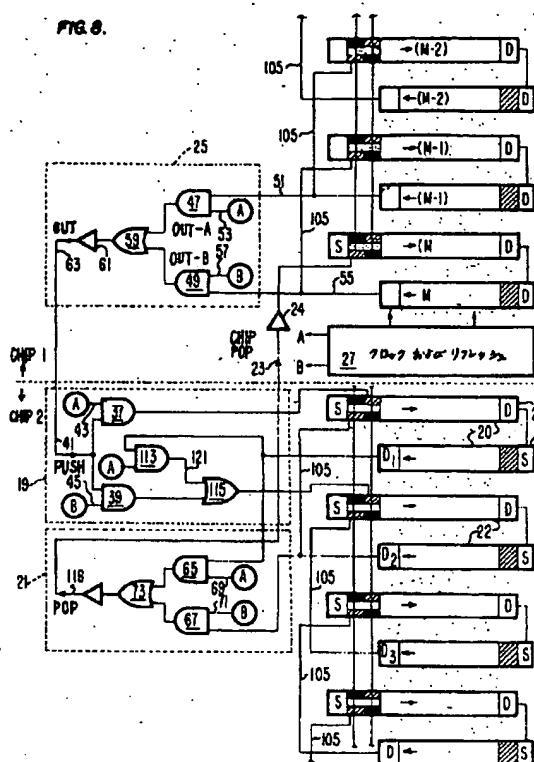


FIG.6.



## 6.添附書類の目録

- |               |       |
|---------------|-------|
| (1)特許許願       | 請求 1通 |
| (2)明細書        | 1通    |
| (3)図面         | 1通    |
| (4)優先権主張宣言書   | 1通    |
| (5)優先権証明書及び訳文 | 各1通   |
| (6)委任状及び訳文    | 各1通   |
| (7)審査請求書      | 1通    |
| (8)上申書        | 1通    |

## 7.前記以外の発明者および代理人

## (1)発明者

## (2)代理人

住所 大阪市北区南森町1-1番地 八千代ビル  
電話 大阪(06)861-6880(代)  
氏名 弁理士(7555)丙義生一部

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**